

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-193322

(43)Date of publication of application : 28.07.1995

(51)Int.Cl.

H01S 3/18

H01S 3/25

(21)Application number : 05-330342

(71)Applicant : NEC CORP

(22)Date of filing : 27.12.1993

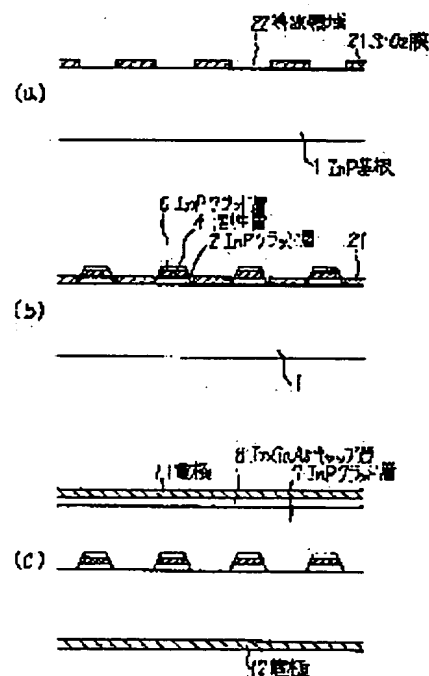
(72)Inventor : SASAKI TATSUYA
MITO IKUO

(54) MANUFACTURE OF SEMICONDUCTOR LASER ARRAY

(57)Abstract:

PURPOSE: To manufacture the title semiconductor laser array having excellent high output characteristics in high reproducibility using a simple method.

CONSTITUTION: Dielectric thin film stripes 21 are periodically formed on the surface of a semiconductor substrate 1 in a specific width at specific intervals and then a multilayered structure including an active layer 4 is selectively formed to be a laser array with the whole surface thereof buried in a clad layer 7. Through these procedures, the excellent optical output characteristics can be displayed in high reproducibility without etching the semiconductor at all.



LEGAL STATUS

[Date of request for examination]

16.03.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2727944

[Date of registration]

12.12.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-193322

(43)公開日 平成7年(1995)7月28日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 S 3/18
3/25

H 0 1 S 3/ 23

S

審査請求 有 請求項の数 2 O L (全 5 頁)

(21)出願番号 特願平5-330342

(22)出願日 平成5年(1993)12月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 佐々木 達也

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 水戸 郁夫

東京都港区芝五丁目7番1号 日本電気株式会社内

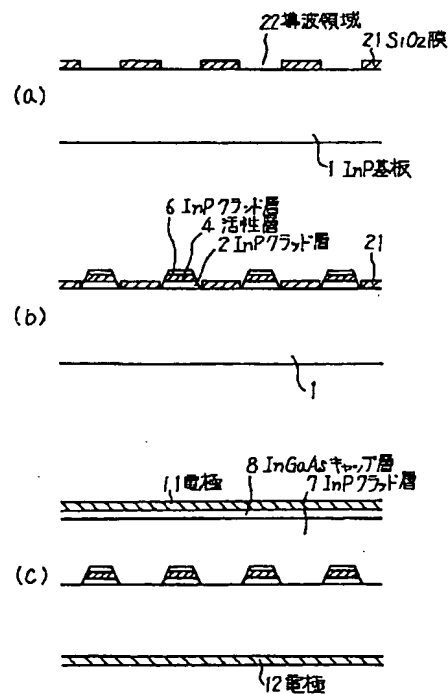
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体レーザアレイの製造方法

(57)【要約】

【目的】高出力特性に優れる半導体レーザアレイを簡単な方法で再現性よく製造する。

【構成】半導体基板1の表面に誘電体薄膜ストライプ2を一定の幅および間隔で周期状に形成した後、活性層4を含む多層構造を選択的に形成し、クラッド層7で全面に埋め込んでレーザアレイとする。半導体のエッチングなしに良好な光出力特性が再現性よく得られる。



【特許請求の範囲】

【請求項 1】 半導体基板表面に複数の誘電体薄膜をストライプ状に形成し、前記誘電体薄膜ストライプに挟まれた領域に選択的に活性層を含む半導体多層構造を形成する工程を有する半導体レーザの製造方法において、前記誘電体薄膜ストライプの幅および間隔を一定とし、かつ前記誘電体薄膜ストライプに挟まれた領域に選択的に形成された複数の半導体多層構造を覆うように半導体クラッド層を形成する工程を含むことを特徴とする、半導体レーザアレイの製造方法。

【請求項 2】 前記半導体レーザアレイの製造方法において、半導体基板表面の一部に回折格子を形成した後に半導体多層膜および半導体クラッド層を積層し、電極を回折格子の形成してある領域としていない領域とに分割して形成することを特徴とする請求項 1 記載の半導体レーザアレイの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、計測、加工などに用いられる高出力半導体レーザの製造方法に関する。

【0002】

【従来の技術】光計測、特に距離測定用の光源として、波長 $1\mu\text{m}$ 以上的大出力半導体レーザの開発が進んでいる。半導体レーザの高出力化にはいくつかの方法があるが、もっとも代表的なものはレーザ素子単体をアレイ状に並べて一様に電流を注入する構造である。従来の報告例として、図 4 に示すように活性層 4 は途切れなく形成され、p 型 InP クラッド層 7 をアレイ状に形成したリッジガイド構造 (N. K. Dutta et al., Applied Physics Letters, vol. 46, pp. 803 (1985)) や、図 5 に示すように活性層 4 がアレイ状に形成され、p 型 InP クラッド層 7 で全面に埋め込まれた埋め込みリッジ構造 (M. Razeghi et al., Applied Physics Letters, vol. 50, pp. 230 (1987)) がある。このようなアレイ構造では、屈折率導波構造の単体ストライプ構造素子が光学的に弱く結合しており、位相の揃った放射角の狭い出射ビームが得られる。光出力はアレイの数が多いほど増加し、従来例のうち前者ではパルスピーク出力 0.5 W が、また後者では CW 出力 0.12 W、パルスピーク出力 0.3 W が報告されている。

【0003】

【発明が解決しようとする課題】このような高出力アレイ半導体レーザは広い発光面積を有し、複数のストライプ構造に一様に電流流入するため、良質な活性層を均一に形成することが重要である。また滑らかで幅の狭いビームパターンを再現性よく得るためには、各ストライプ構造の形状が同一であることが必要である。

【0004】しかし従来の製造方法ではこうしたストラ

イプ構造を形成するために半導体層のエッチング工程を必要としていた。すなわち図 4 の素子では、p 型 InP クラッド層を活性層の直上までエッチングしてリッジ構造を形成しており、図 5 の素子では活性層を全面に成長した後にエッチングで複数のストライプ構造を形成していた。こうしたエッチングによる素子形成ではエッチング深さやサイドエッチング量のばらつきは避けられず、均一なアレイ構造を再現性よく製造することは困難であった。

- 10 【0005】半導体のエッチングなしに半導体レーザを製造する方法として、選択成長によるものがある (佐々木他 特開平 4-105383 号公報 (特願平 2-222928 号))。この方法では図 6 に示すように、半導体基板表面に成長阻止マスクである一対の誘電体薄膜ストライプ 21 を一定間隔で形成した後に、活性層を含む半導体多層膜を選択的に積層し、一対の薄膜ストライプ 21 に挟まれた導波領域 22 に形成された多層膜を半導体レーザなどの光導波構造として用いるものである。この方法を用いれば半導体のエッチングが不要で薄膜ストライプの形成のみで導波構造が形成できるため、均一性、再現性に優れるという特徴がある。

【0006】しかしこれらの発明では半導体レーザ単体を製造することを目的としており、一対の誘電体薄膜ストライプ 21 は一定間隔で形成されていた。このため半導体レーザアレイの製造には適用することができなかった。

【0007】

【課題を解決するための手段】上記の課題を解決するための手段は以下の通りである。

- 30 【0008】半導体基板表面に複数の誘電体薄膜をストライプ状に形成し、前記誘電体薄膜ストライプに挟まれた領域に選択的に活性層を含む半導体多層構造を形成する工程を含むことを特徴とする半導体レーザの製造方法において、前記誘電体薄膜ストライプの幅および間隔が一定であることを特徴とし、かつ前記誘電体薄膜ストライプに挟まれた領域に選択的に形成された複数の半導体多層構造を覆うように半導体クラッド層を形成する工程を含むことを特徴とする、半導体レーザアレイの製造方法。

- 40 【0009】上記の半導体レーザアレイの製造方法において、半導体基板表面の一部に回折格子を形成した後に半導体多層膜および半導体クラッド層を積層し、電極を回折格子の形成してある領域としていない領域とに分割して形成することを特徴とする半導体レーザアレイの製造方法。

【0010】

【作用】図 6 に示すような従来の選択成長を用いた素子製造方法では、一対の薄膜ストライプ 21 に挟まれた導波領域 22 のみを活性層として用いており、他の成長領域は素子に含めることができなかった。それに対して本

発明では一定の幅および間隔の薄膜ストライプ21を周期状に形成し、選択的に形成された半導体多層膜すべてを半導体レーザアレイの活性層とすることに特徴がある。

【0011】

【実施例】以下に本発明を利用して半導体レーザアレイを製造した例について述べる。図1は半導体レーザアレイの製造工程を示す断面図である。まず図1(a)に示すように、(100)方位n型InP基板1の表面にSiO₂膜21を形成し、[011]方向の周期ストライプに加工した。SiO₂ストライプ幅は4μm、間隔も4μmとした。次に図1(b)に示すように、n型InPクラッド層2(層厚0.1μm)、InGaAs/InGaAsP多重量子井戸構造からなる活性層4(井戸層厚7nm、バリア層厚10nm、井戸数5)、p型InPクラッド層6(層厚0.1μm)からなる半導体多層構造を選択的に形成した。結晶成長は有機金属気相成長法(MOVPE)を用いた。次に図1(c)に示すようにSiO₂ストライプ21を除去し、p型InPクラッド層7(層厚1.5μm)およびp型InGaAsキャップ層8(層厚0.3μm)を全面に形成した。p側電極11およびn側電極12を両面に形成し、厚さ100μm、長さ600μm、幅300μmに切り出してダイヤモンドヒートシンク上にマウントして特性を評価した。素子のしきい値電流は400mAで、両端面へき開の状態では最大CW出力は700mWが得られた。また遠視野像の半値全幅は水平方向で3°、垂直方向で3.5°であり、位相の揃った単峰ビームが得られた。同一ウエハから切り出した100個の素子において、CW出力が500mW以上の素子が全体の80%、水平方向の半値全幅が5°以下の素子が75%と高い均一性を示した。このような高い均一性は、本素子が選択成長によって均一に形成されていることによるものと考えられる。

【0012】次にマスターレーザアレイと光増幅器を集積した素子を製造した例について述べる。図2に素子の斜視図を示す。素子はマスターレーザ部31、分離部32および光増幅部33からなる。はじめにn型InP基板1表面のマスターレーザ部31のみに回折格子23を形成した後、n型InGaAsPガイド層3、活性層4を含む多層構造を選択的に形成し、p型InPクラッド層7で全面に埋め込んだ構造となっており、p側電極11はマスターレーザ部31と光増幅部33で独立した構成となっている。こうした集積素子を形成する際に、活性層成長時のマスクパターンとしては図3(a)のように各領域で一樣のパターンにする方法もあるが、ここでは図3(b)のようにマスターレーザ部31では活性層4が形成される導波領域22の幅は一定としたが、光増幅部33では導波領域22がテーパ状に広がって、お互いに結合するパターンとした。こうしたテーパ構造光増幅器と単一ストライプレーザを集積した素子はすでに

報告されており、例えばエレクトロニクス・レター誌(Electronics Letters, vol. 28, p. 201 (1992))、単一横モードを保存したままで高い光出力が得られている。本実施例ではアレイ半導体レーザと光増幅器を集積した素子を製造した。製造工程は図1の素子とほぼ同様であるが、結晶成長には原子状水素照射を用いたガスソース分子線エピタキシャル法を用いた。p側電極およびInGaAsキャップ層8は、導波領域22の外側部分および分離部32でエッチングにより除去し、導波領域22のみに電流が流れるようにした。各領域の長さはマスターレーザ部31は500μm、分離部32は20μm、光増幅部33は1mmとした。

【0013】レーザの発振しきい値電流は60mAで、光増幅部に電流を2A注入することにより、最大CW出力800mWが得られた。また放射ビームは単峰で光出力の増加に対しても安定であった。

【0014】

【発明の効果】以上述べたように、本発明の半導体レーザアレイの製造方法を用いることにより、半導体のエッチングを用いずに選択成長によりアレイ構造が高い均一性、再現性のもとで形成できるようになった。なお実施例ではInP基板上のInGaAsP/InP系のレーザ素子の製造例について示したが、GaAs基板のAlGaAs、InGaAs/GaAs系材料の素子でも同様の方法で同様の効果が得られる。

【図面の簡単な説明】

【図1】本発明の半導体レーザアレイの製造方法を示す断面図である。

【図2】本発明の半導体レーザアレイと光増幅器の集積素子の構造を示す斜視図である。

【図3】本発明の半導体レーザアレイと光増幅器の集積素子の製造方法を示すマスクパターンの表面図である。

【図4】従来の発明による半導体レーザアレイの構造を示す断面図である。

【図5】従来の発明による半導体レーザアレイの構造を示す断面図である。

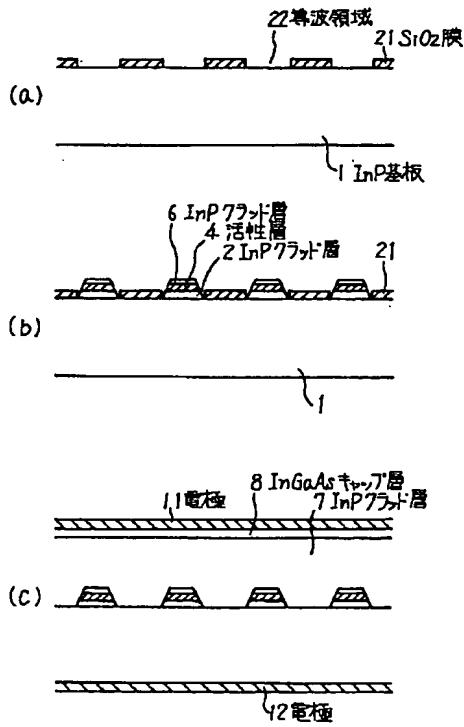
【図6】従来の発明の選択成長による光半導体素子の製造方法を示す断面図である。

【符号の説明】

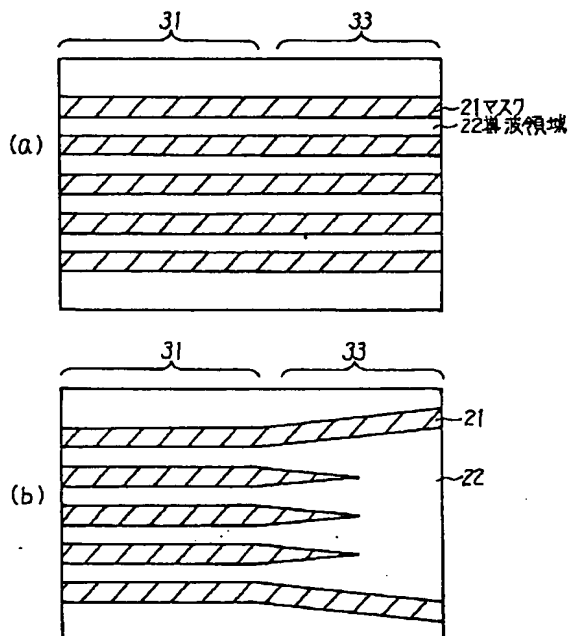
- 0 n型InP基板
- 1 n型InPクラッド層
- 3 n型InGaAsPガイド層
- 4 活性層
- 5 p型InGaAsPガイド層
- 6 p型InPクラッド層
- 7 p型InPクラッド層
- 8 p型InGaAsキャップ層
- 11 p側電極
- 12 n側電極

- 21 SiO_2 膜
22 導波領域
23 回折格子

【図1】

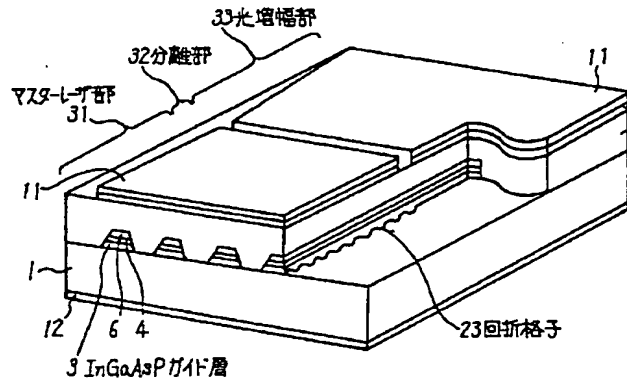


【図3】

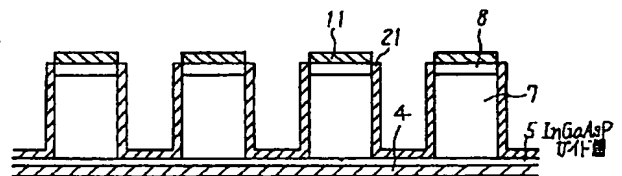


- 31 マスターレーザ部
32 分離部
33 光増幅部

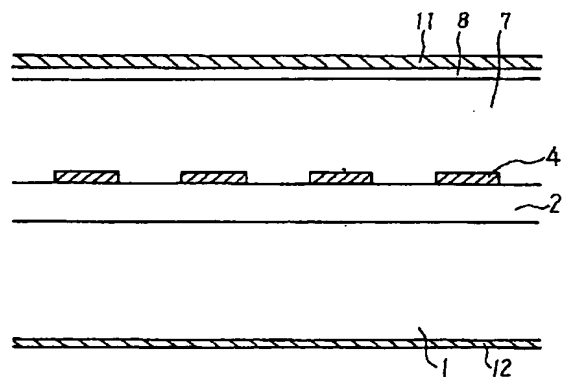
【図2】



【図4】



【図5】



【図6】

